

PAT-NO: JP358060559A
DOCUMENT-IDENTIFIER: JP 58060559 A
TITLE: MULTICHIP PACKAGE
PUBN-DATE: April 11, 1983

INVENTOR-INFORMATION:
NAME
YOSHIHARA, KUNIO

ASSIGNEE-INFORMATION:
NAME TOSHIBA CORP COUNTRY
N/A

APPL-NO: JP56158226
APPL-DATE: October 6, 1981

INT-CL (IPC): H01L021/82, H01L027/04
US-CL-CURRENT: 257/E21.602, 361/683

ABSTRACT:

PURPOSE: To obtain a multichip package whose internal connections are switchable electrically, while unnecessitating the replacement thereof, by a method wherein input-output signal lines selecting a plurality of electronic function elements of the same kind are switched to each other or to a specified element.

CONSTITUTION: Address data lines which are common input-output lines for signal lines other than a chip enable CE being a signal line for selection of

memory cells $M_1 \sim M_n$, are connected commonly, while CE alone is decoded for selecting each memory cell. M_0 is an extra redundant memory cell for constituting this memory module, and address lines $A_0 \sim A_i$, data lines $D_1 \sim D_j$, a write enable WE, and an output enable OE are connected commonly with remaining memory cells $M_1 \sim M_n$, while only the chip enable CE, which is a redundant memory cell, is made switchable to any one of CEs of $M_1 \sim M_n$. Thereby any faulty chip can be switched electrically with ease. A pad SW for switching is usually connected to C_0 and led outside as CE_0 , whereby the operation of the redundant memory M_0 can be checked.

COPYRIGHT: (C)1983, JPO&Japio

機械的衝撃などによって正常な部分を不良にしてしまう確率も高い。また、A/D又はD/Aコンバータなどのアナログ素子では、一般に、アナログ素子の性能を示す指標の一つである直線性の個体差が大きく、アナログ素子を複数個実装した配線基板では、そのアナログ素子が動作可能であるにもかかわらず、直線性の仕様を満足できないため、不良素子として交換せざるを得ない割合は、求める直線性によっては、非常に大きなものとなる。従って、実装後の性能と価格、実装前の素子の性能分布によって事実上制約されている。

本発明の目的は、上記の技術の欠点を除去し、電子的機能素子の交換を不要にする、電氣的に内部接続切替え可能なマルチ・チップ・パッケージを提供することにある。

本発明は、配線基板上に実装されている同一種類で複数の電子的機能素子を選択する入出力信号線を相互に、若しくは特定の電子的機能素子と切替えることを特徴としたマルチ・チップ・パッケージである。

るのみならず、配線基板上のすべてのメモリ素子の電子的機能をテストした後、そのテストデータにもとづきパッケージ全体の価値が最も高くなるようメモリ素子の切替えができる。尚第1図において、Dはアドレスデコーダ、DI/0はデコーダ入出力線である。

本発明の他の一具体例として第2図に示す。デジタル入力ラッチ型D/Aコンバータ素子を複数個D/A₁～D/A_n、同一配線基板上に実装し、デジタル入力DI₁～DI_j及びストロブ信号Sを共通に結線する。かのおのD/Aコンバータ素子を選択するチップ・セレクトCSは相互に切替えられるように配線用パッドを用意しておく。同様に、かのおのD/Aコンバータ素子のアナログ出力も、配線基板の任意の出力リードOLへ接続できるよう配線されている。この方法により、配線基板上のすべてのD/Aコンバータ素子は、その直線性の値によって任意のチャンネルへ割付けることができる。

4. 図面の簡単な説明

一つの具体例において、本発明は第1図に示すように同一に接続されるべきアドレス線A₀～A_i、データ線をもつn個の電子的機能素子であるところのメモリ素子M₁～M_nで構成されたメモリモジュールに用いられる。このメモリモジュールでは、メモリ素子M₁～M_nの選択用信号線であるチップイネーブルCE以外の共通の入出力線であるアドレス・データ各線は共通に結線し、CEのみをデコードして各メモリ素子を選択している。M₀はこのメモリモジュールを構成するには余分の冗長メモリ素子であり、アドレス線A₀～A_i、データ線D₁～D_j、ライトイネーブルWE、アウトプットイネーブルOEを残りのメモリ素子M₁～M_nと共通に接続し、冗長メモリ素子のチップイネーブルCEのみを、M₁～M_nのCEの任意の一つと切替えられるようにすることにより、容易に不良チップの電氣的切替えが可能となる。通常は切替え用パッドSWをC₀に接続し、CE₀として外部へ取出しておくことにより、冗長メモリ素子M₀の動作確認を行なうことができる。つまり、単に不良メモリ素子を除去す

第1図は本発明の一実施例を説明するためのマルチ・チップ・パッケージの平面図、第2図は本発明の他の実施例を説明するためのマルチ・チップ・パッケージの平面図である。

D：アドレスデコーダ、A₀～A_i：アドレス線、D₁～D_j：データ線、WE：ライトイネーブル、M₁～M_n：メモリ素子、M₀：冗長メモリ素子、OE：アウトプットイネーブル。

代理人 弁理士 則 近 憲 佑
(ほか1名)